

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 23 日
Application Date

申請案號：092120043
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 18 日
Issue Date

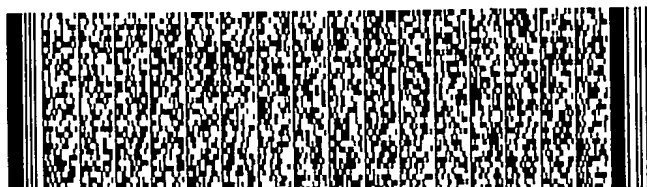
發文字號：09220934490
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

發明名稱	中 文	溝槽隔離區的形成方法
	英 文	
二、發明人 (共9人)	姓 名 (中文)	1. 廖建茂 2. 何慈恩 3. 吳昌榮
	姓 名 (英文)	1. Chien-Mao Liao 2. Tzu-En Ho 3. Chang-Rong Wu
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北縣板橋市中山路二段318巷20弄2號 2. 宜蘭縣礁溪鄉德陽村奇立丹路76巷3號 3. 台北縣板橋市民生路一段28-9號26樓
	住居所 (英 文)	1. 2. 3.
三、申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548-9141n7(N1) : 91060-91074 : Clasp.ppt

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共9人)	姓名 (中文)	4. 張志豪 5. 楊勝威 6. 陳昇聰
	姓名 (英文)	4. Chih-How Chang 5. Sheng-Wei Yang 6. Sheng-Tsung Chen
	國籍 (中英文)	4. 中華民國 TW 5. 中華民國 TW 6. 中華民國 TW
	住居所 (中文)	4. 台北縣泰山鄉工專路84之48號5樓 5. 台北縣板橋市萬安街21巷20號3樓 6. 台南市新興路113巷78號
	住居所 (英文)	4. 5. 6.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

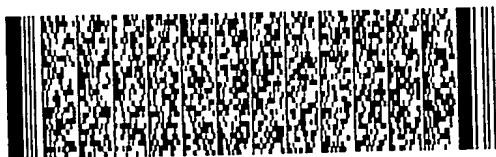


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共9人)	姓 名 (中文)	7. 李中元 8. 廖文生 9. 黃振洲
	姓 名 (英文)	7. Chung-Yuan Lee 8. Wen-Sheng Liao 9. Chen-Chou Huang
	國 籍 (中英文)	7. 中華民國 TW 8. 中華民國 TW 9. 中華民國 TW
	住居所 (中 文)	7. 桃園市青溪里33鄰三民路一段177號7樓 8. 台北市長安西路145巷23號 9. 台北縣淡水鎮自強路285號14樓
	住居所 (英 文)	7. 8. 9.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：溝槽隔離區的形成方法)

本發明主要提供一種溝槽隔離區的形成方法，首先，提供一半導體基底，半導體基底上形成有一溝槽，其中半導體基底具有一單幕層；接著，於半導體基底及溝槽之表面上順應性形成一第一絕緣層，直至第一絕緣層大體填滿溝槽；然後，對第一絕緣層進行非等向性蝕刻至第一絕緣層之高度低於半導體基底頂部之表面；最後，於半導體基底及溝槽上形成一第二絕緣層，並對第二絕緣層進行平坦化步驟至露出單幕層之表面為止。

伍、(一)、本案代表圖為：第2圖。

(二)、本案代表圖之元件代表符號簡單說明：

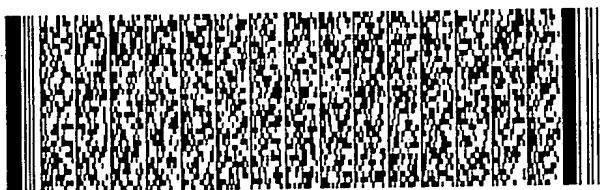
201~半導體基底；

202~墊層；

203~單幕層；

204~圖案化光阻層；

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：溝槽隔離區的形成方法)

205a、205b~開口；

206a、206b~溝槽；

207、208~襯層；

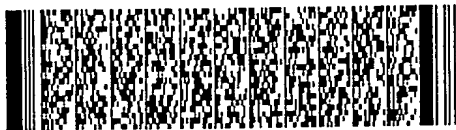
209、209a、211、211a、211b~絕緣層；

210、210a~空隙；

209b~間隙壁；

212a、212b~溝槽隔離區。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於一種隔離區的形成方法，特別係有關於一種降低寬高比大於一既定值之溝槽隔離區中之空隙尺寸的方法。

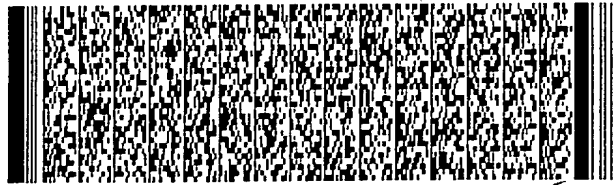
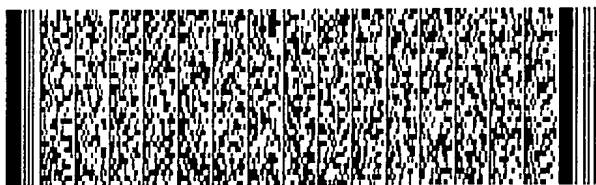
【先前技術】

近年來，隨著半導體積體電路製造技術的發展，晶片中所含元件的數量不斷增加，元件的尺寸也因積集度的提昇而不斷地縮小，生產線上使用的線路寬度已由次微米(sub-micron)進入了四分之一微米(quarter-micron)甚或更細微尺寸的範圍。而無論元件尺寸如何縮小化，在晶片中各個元件之間仍必須做適當地絕緣或隔離，方可得到良好的元件性質。這方面的技術一般稱為元件隔離技術(device isolation technology)，其主要目的係在各元件之間形成隔離物，並且在確保良好隔離效果的情況下，儘量縮小隔離物的區域，以空出更多的晶片面積來容納更多的元件。

在各種元件隔離技術中，局部矽氧化方法(LOCOS)和溝槽隔離區製程是最常被採用的兩種技術，尤其後者因具有隔離區域小和完成後仍保持基底平坦性等優點，更是近來頗受重視的半導體製造技術。

請參考第1a-1d圖，第1a-1d圖係習知之製造溝槽隔離區之流程示意圖。

請參考第1a圖，首先，在一矽基底101表面上，以熱



五、發明說明 (2)

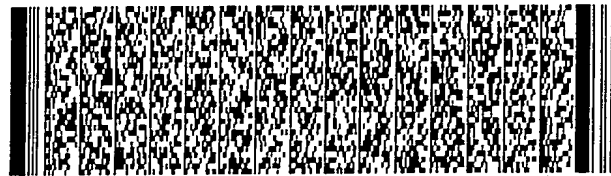
氧化程序(thermal oxidation)形成墊氧化層(pad oxide) 102，並以CVD法沈積氮化矽層103於墊氧化層102上。接著，塗佈一光阻層104於氮化矽層103上，並以微影(photolithography)程序定義其圖案，露出欲形成元件隔離區的部分。利用此光阻層104當作罩幕，依序蝕刻氮化矽層103和墊氧化層102。

接著請參見第1b圖，利用適當溶液去除光阻層104後，以氮化矽層103和墊氧化層102當作罩幕，蝕刻矽基底101，以於其中形成溝槽105，用以定義元件的主動區(active region)。之後施行一熱氧化程序，以在溝槽105的底部和側壁上成長一薄氧化矽當作襯氧化層(lining oxide layer)107。

接著，施行化學氣相沈積程序，例如使用 O_3 和TEOS當作反應物形成氧化層108，使其填滿溝槽105並覆蓋在氮化矽層103表面上。然而，當溝槽105的開口尺寸較小，特別是剛溝槽105的寬高比大於6時，氧化層108會難以填入溝槽105當中，因此雖然溝槽105的表面已被氧化層108所填滿，實際上溝槽105中之氧化層108中卻具有空隙106。

接下來，請參考第1c圖，施行一化學性機械研磨程序，去除氧化層108高出氮化矽層103表面的部分，以形成表面平坦的元件隔離區108a。

請參考第1d圖，之後，以適當蝕刻方法依序去除氮化矽層103和墊氧化層102，便完成淺溝槽隔離製程，得到如圖所示之元件隔離區108a。



五、發明說明 (3)

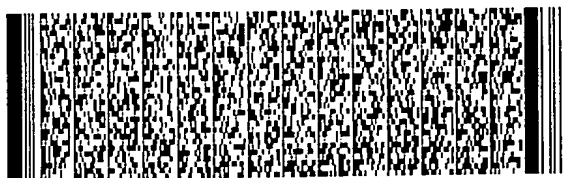
由於元件隔離區108a和墊氧化層102的性質相近，因此當以蝕刻液浸泡(dip)去除墊氧化層102時，不可避免地也會侵蝕到元件隔離區108a，而使溝槽105中之空隙106露出來，如此一來，蝕刻液會進入空隙106內，並蝕刻元件隔離區108而導致空隙尺寸增大，過大的空隙106將會導致結構的不穩定，而影響元件的可靠度。

【發明內容】

有鑑於此，本發明之目的在於提供一種溝槽隔離區的形成方法，可有效解決溝槽隔離區中之空隙在後續製程中擴大的問題。

根據上述目的，本發明提供一種溝槽隔離區的形成方法，包括下列步驟：提供一半導體基底，半導體基底上形成有一溝槽，其中半導體基底具有一單幕層；於半導體基底及溝槽之表面上順應性形成一第一絕緣層，直至第一絕緣層大體填滿溝槽；對第一絕緣層進行非等向性蝕刻至第一絕緣層之高度低於半導體基底頂部之表面；於半導體基底及溝槽上形成一第二絕緣層；及對第二絕緣層進行平坦化步驟至露出單幕層之表面為止。

根據上述目的，本發明再提供一種溝槽隔離區的形成方法，包括下列步驟：提供一半導體基底，半導體基底上依序形成有一墊層、一單幕層及一具有開口之圖案化光阻層；以圖案化光阻層為單幕，依序蝕刻單幕層、墊層及半導體基底層以形成一溝槽；於半導體基底及溝槽之表面上



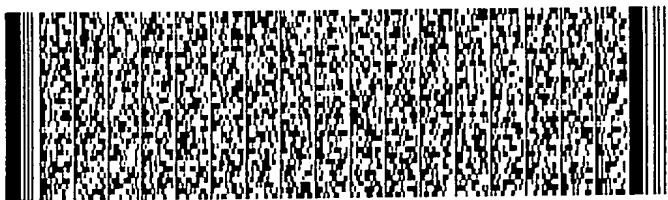
五、發明說明 (4)

順應性形成一低壓化學氣相沉積氧化層，直至低壓化學氣相沉積氧化層大體填滿溝槽；對低壓化學氣相沉積氧化層進行非等向性蝕刻至低壓化學氣相沉積氧化層之高度低於半導體基底頂部之表面至少300 Å；於半導體基底及溝槽上形成一絕緣層，絕緣層填滿溝槽；對氧化層進行平坦化步驟至露出罩幕層之表面為止；及去除罩幕層。

根據上述目的，本發明更提供一種溝槽隔離區的形成方法，包括下列步驟：提供一半導體基底，半導體基底上形成有一溝槽，其中半導體基底具有一罩幕層；於半導體基底及溝槽之表面上順應性形成一第一絕緣層；對第一絕緣層進行非等向性蝕刻以在溝槽側壁形成一間隙壁；於半導體基底及溝槽上形成一第二絕緣層；及對第二絕緣層進行平坦化步驟至露出罩幕層之表面為止。

根據上述目的，本發明另提供一種溝槽隔離區的形成方法，包括下列步驟：提供一半導體基底，半導體基底上依序形成有一墊層、一罩幕層及一具有開口之圖案化光阻層；以圖案化光阻層為罩幕，依序蝕刻罩幕層、墊層及半導體基底層以形成一溝槽；於半導體基底及溝槽之表面上順應性形成一低壓化學氣相沉積氧化層；對低壓化學氣相沉積氧化層進行非等向性蝕刻以在溝槽側壁形成一間隙壁；於半導體基底及溝槽上形成一絕緣層；對絕緣層進行平坦化步驟至露出罩幕層之表面為止；及去除罩幕層。

根據上述目的，本發明又提供一種溝槽隔離區的形成方法，包括下列步驟：提供一半導體基底，半導體基底上

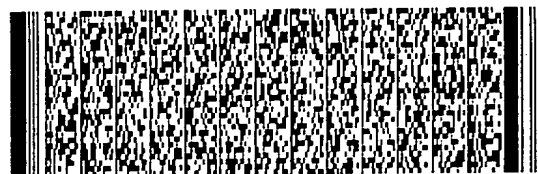


五、發明說明 (5)

依序形成有一墊層、一罩幕層及一具有一第一開口及一第二開口之圖案化光阻層；以圖案化光阻層為罩幕，依序蝕刻罩幕層、墊層及半導體基底層以形成一第一溝槽及一第二溝槽，其中第一溝槽之寬高比大於6；於半導體基底、第一溝槽及第二溝槽之表面上順應性形成一低壓化學氣相沉積氧化層，直至低壓化學氣相沉積氧化層大體填滿第一溝槽；對低壓化學氣相沉積氧化層進行非等向性蝕刻至低壓化學氣相沉積氧化層之高度低於半導體基底頂部之表面至少300 Å；於半導體基底、第一溝槽及第二溝槽上形成一絕緣層，絕緣層填滿第一溝槽及第二溝槽；對氧化層進行平坦化步驟至露出罩幕層之表面為止；及去除罩幕層。

根據上述目的，本發明再提供一種溝槽隔離區的形成方法，包括下列步驟：提供一半導體基底，半導體基底上依序形成有一墊層、一罩幕層及一具有一第一開口及一第二開口之圖案化光阻層；以圖案化光阻層為罩幕，依序蝕刻罩幕層、墊層及半導體基底層以形成一第一溝槽及一第二溝槽，其中第一溝槽之寬高比大於6；於半導體基底及溝槽之表面上順應性形成一低壓化學氣相沉積氧化層；對低壓化學氣相沉積氧化層進行非等向性蝕刻以在第一溝槽側壁形成一間隙壁；於半導體基底及第一溝槽及第二溝槽上形成一絕緣層；對絕緣層進行平坦化步驟至露出罩幕層之表面為止；及去除罩幕層。

為使本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳



五、發明說明 (6)

細說明如下：

【實施方式】

第一實施例

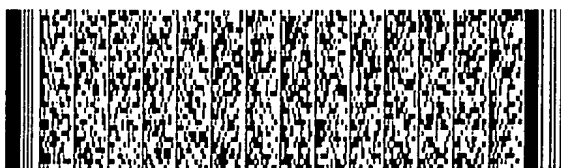
請參考第2a-2g圖，第2a-2g圖係顯示本發明之溝槽隔離區之形成方法之第一實施例。

請參考第2a圖，首先，提供一半導體基底201，半導體基底201上依序形成有一墊層202、一單幕層203及一圖案化光阻層204，圖案化光阻層204具有開口205a及205b，且開口205a之尺寸小於開口205b。其中，半導體基底201例如是矽基底；墊層202例如是以熱氧化程序(thermal oxidation)形成之墊氧化層(pad oxide)；單幕層203例如是以CVD法沈積之氮化層；開口205a、205b露出欲形成元件隔離區的部分之單幕層203表面。

請參考第2b圖，以圖案化光阻層204為單幕，依序對單幕層203、墊層202及半導體基底201進行非等向性蝕刻步驟，以在半導體基底201形成溝槽206a及206b。其中，非等向性蝕刻步驟例如是電漿蝕刻(plasma etching)步驟或反應性離子蝕刻(reactive ion etching)步驟。

接著，依序於溝槽206a、206b之表面上形成一襯層207以及於溝槽206a、206b與半導體基底201之表面上形成一襯層208。其中，襯層207例如是氧化層，厚度約為50 Å；襯層208例如是氮化層，厚度約為100 Å。

請參考第2c圖，於溝槽206a、206b及半導體基底201



五、發明說明 (7)

之表面上順應性形成一絕緣層209。因為溝槽206b的尺寸較大，所以絕緣層209僅會順應性形成在溝槽206b之表面上，而尺寸較小的溝槽206a則會被絕緣層209填滿。

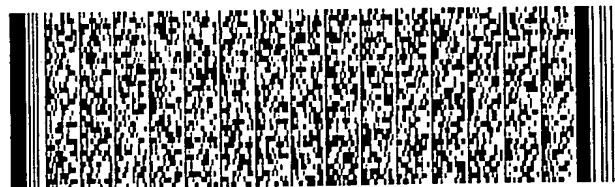
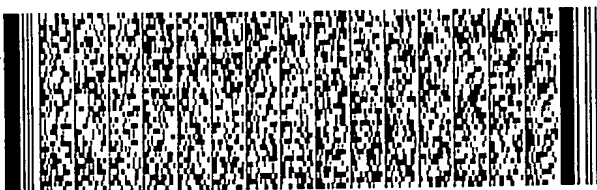
因為溝槽206a的開口尺寸小，特別是當溝槽206a的寬高比(aspect ratio)大於6時，絕緣材料將會很難填入溝槽206a之中，因此絕緣層209必須是低壓化學氣相沉積法(low pressure chemical vapor deposition, LPCVD)等方法所形成之氧化層才可填入。然而，雖然表面上溝槽206a已被填滿，其內部卻有空隙210的產生。

請參考第2d圖，對絕緣層209進行非等向性蝕刻步驟，直至溝槽206a中的絕緣層209低於半導體基底201的頂部表面而形成絕緣層209a，而且露出空隙210a，絕緣層209a較佳者為低於半導體基底201頂部表面300 Å以上；同時，溝槽206b之側壁上會形成間隙壁209b。其中，非等向性蝕刻步驟例如是電漿蝕刻(plasma etching)步驟或反應性離子蝕刻(reactive ion etching)步驟。

請參考第2e圖，於半導體基底201上形成一絕緣層211，絕緣層211會填滿溝槽206a及206b；其中，絕緣層211例如是氧化層，氧化層又例如是矽酸四乙酯氧化層。

請參考第2f圖，對絕緣層211進行平坦化步驟至露出襯層208或單幕層203的表面為止，以留下溝槽內之絕緣層211a及211b。其中，平坦化步驟例如是化學機械研磨(chemical mechanical polishing)步驟。

然後，依序將露出表面之襯層208及單幕層203去除，



五、發明說明 (8)

如此一來，即形成突出於半導體基底201表面之溝槽隔離區212a及212b，如第2g圖所示。

本發明所提供之第一實施例所顯示之方法所形成之溝槽隔離區212a中雖然仍形成有空隙210a，但是空隙210a的尺寸被縮小，且較為遠離溝槽隔離區212a的表面，可有效避免空隙212a在後續製程中被裸露出來而導致空隙擴大的問題；並且，因為空隙212a的緣故，溝槽隔離區212a具有較小的介電常數，增加溝槽隔離區212a的隔離效果。

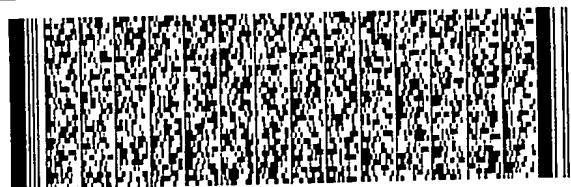
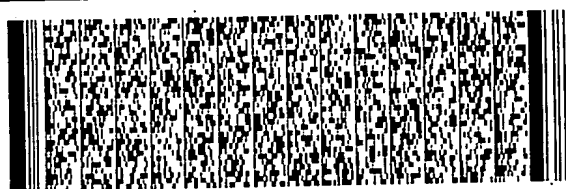
第二實施例

請參考第3a-3g圖，第3a-3g圖係顯示本發明之溝槽隔離區之形成方法之第二實施例。

請參考第3a圖，首先，提供一半導體基底301，半導體基底301上依序形成有一墊層302、一罩幕層303及一圖案化光阻層304，圖案化光阻層304具有開口305a及305b，且開口305a之尺寸小於開口305b。其中，半導體基底301例如是矽基底；墊層302例如是氧化層；罩幕層303例如是氮化層。

請參考第3b圖，以圖案化光阻層304為罩幕，依序對罩幕層303、墊層302及半導體基底301進行非等向性蝕刻步驟，以在半導體基底301形成溝槽306a及306b。其中，非等向性蝕刻步驟例如是電漿蝕刻(plasma etching)步驟或反應性離子蝕刻(reactive ion etching)步驟。

接著，依序於溝槽306a、306b之表面上形成一襯層



五、發明說明 (9)

307 以及於溝槽306a、306b與半導體基底301之表面上形成一襯層308。其中，襯層307例如是氧化層，厚度約為50 Å；襯層308例如是氮化層，厚度約為100 Å。

請參考第3c圖，於溝槽306a、306b及半導體基底301之表面上順應性形成一絕緣層309。

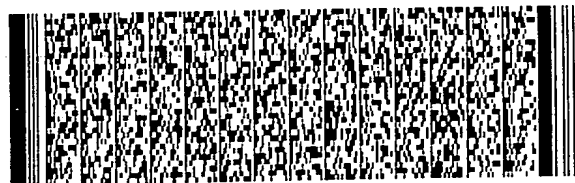
因為溝槽306a的開口尺寸小，特別是當溝槽306a的寬高比(aspect ratio)大於6時，絕緣材料將會很難填入溝槽306a之中，因此絕緣層309必須是低壓化學氣相沉積法(low pressure chemical vapor deposition, LPCVD)等方法所形成之氧化層才可填入。

請參考第3d圖，對絕緣層309進行非等向性蝕刻步驟，以在溝槽306a、306b之側壁上分別形成間隙壁309a及309b。其中，非等向性蝕刻步驟例如是電漿蝕刻(plasma etching)步驟或反應性離子蝕刻(reactive ion etching)步驟。

接著，於半導體基底301上形成一絕緣層311，絕緣層311會填滿溝槽306a及306b，如第3e圖所示。其中，絕緣層311例如是氧化層，氧化層又例如是矽酸四乙酯氧化層。

因為溝槽306a的尺寸較小的緣故，特別是當溝槽306a的寬高比(aspect ratio)大於6時，絕緣材料將會很難填入溝槽306a之中，因此溝槽306a中會形成空隙310。

請參考第3f圖，對絕緣層311進行平坦化步驟至露出襯層308或罩幕層303的表面為止，以留下溝槽內之絕緣層



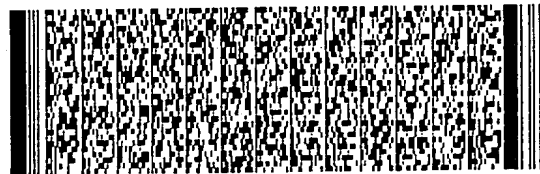
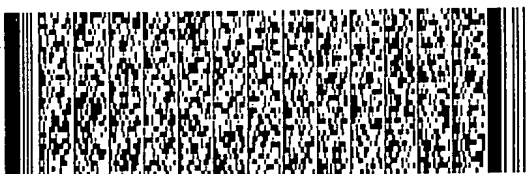
五、發明說明 (10)

311a及311b。其中，平坦化步驟例如是化學機械研磨(chemical mechanical polishing)步驟。

然後，依序將露出表面之襯層308及罩幕層303去除，如此一來，即形成突出於半導體基底301表面之溝槽隔離區312a及312b，如第3g圖所示。

本發明所提供之第二實施例所顯示之方法所形成之溝槽隔離區312a中雖然形成有空隙310，但是空隙310a較為遠離溝槽隔離區312的表面，可有效避免空隙312在後續製程中被裸露出來而導致空隙擴大的問題；並且，因為空隙312的緣故，溝槽隔離區312具有較小的介電常數，增加溝槽隔離區312的隔離效果。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1a-1d圖係習知之製造溝槽隔離區之流程示意圖。

第2a-2g圖係顯示本發明之溝槽隔離區之形成方法之第一實施例。

第3a-3g圖係顯示本發明之溝槽隔離區之形成方法之第二實施例。

符號說明：

101~矽基底；

102~墊氧化層；

103~氮化矽層；

104~光阻層；

105~溝槽；

106~空隙；

107~襯氧化層；

108~氧化層；

108a~元件隔離區；

201、301~半導體基底；

202、302~墊層；

203、303~罩幕層；

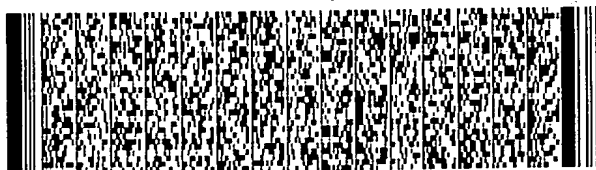
204、304~圖案化光阻層；

205a、205b、305a、305b~開口；

206a、206b、306a、306b~溝槽；

207、208、307、308~襯層；

209、209a、211、211a、211b、309~絕緣層；



圖式簡單說明

210、210a、310~空隙；

209b、309a、309b~間隙壁；

212a、212b、312a、312b~溝槽隔離區。



六、申請專利範圍

1. 一種溝槽隔離區的形成方法，包括下列步驟：

提供一半導體基底，該半導體基底上形成有一溝槽，其中該半導體基底具有一罩幕層；

於該半導體基底及該溝槽之表面上順應性形成一第一絕緣層，直至該第一絕緣層大體填滿該溝槽；

對該第一絕緣層進行非等向性蝕刻至該第一絕緣層之高度低於該半導體基底頂部之表面；

於該半導體基底及該溝槽上形成一第二絕緣層；及

對該第二絕緣層進行平坦化步驟至露出該罩幕層之表面為止。

2. 如申請專利範圍第1項所述之溝槽隔離區的形成方法，其中該罩幕層為氮化層。

3. 如申請專利範圍第1項所述之溝槽隔離區的形成方法，其中該第一絕緣層為氧化層。

4. 如申請專利範圍第3項所述之溝槽隔離區的形成方法，其中該第一絕緣層為低壓化學氣相沉積氧化層。

5. 如申請專利範圍第1項所述之溝槽隔離區的形成方法，其中該非等向性蝕刻為電漿蝕刻或反應性離子蝕刻。

6. 如申請專利範圍第1項所述之溝槽隔離區的形成方法，其中該第一絕緣層進行非等向性蝕刻後之高度低於該半導體基底頂部之表面至少300 Å。

7. 如申請專利範圍第1項所述之溝槽隔離區的形成方法，其中該第二絕緣層為氧化層。

8. 如申請專利範圍第7項所述之溝槽隔離區的形成方



六、申請專利範圍

法，其中該氧化層為矽酸四乙酯氧化層。

9. 如申請專利範圍第1項所述之溝槽隔離區的形成方法，其中該平坦化步驟為化學機械研磨步驟。

10. 一種溝槽隔離區的形成方法，包括下列步驟：

提供一半導體基底，該半導體基底上依序形成有一墊層、一罩幕層及一具有開口之圖案化光阻層；

以該圖案化光阻層為罩幕，依序蝕刻該罩幕層、該墊層及該半導體基底層以形成一溝槽；

於該半導體基底及該溝槽之表面上順應性形成一低壓化學氣相沉積氧化層，直至該低壓化學氣相沉積氧化層大體填滿該溝槽；

對該低壓化學氣相沉積氧化層進行非等向性蝕刻至該低壓化學氣相沉積氧化層之高度低於該半導體基底頂部之表面至少300 Å；

於該半導體基底及該溝槽上形成一絕緣層，該絕緣層填滿該溝槽；

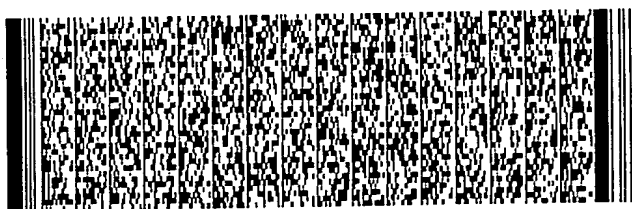
對該氧化層進行平坦化步驟至露出該罩幕層之表面為止；及

去除該罩幕層。

11. 如申請專利範圍第10項所述之溝槽隔離區的形成方法，其中該墊層為氧化層。

12. 如申請專利範圍第10項所述之溝槽隔離區的形成方法，其中該罩幕層為氮化層。

13. 如申請專利範圍第10項所述之溝槽隔離區的形成



六、申請專利範圍

方法，其中該溝槽之寬高比大於6。

14. 如申請專利範圍第10項所述之溝槽隔離區的形成方法，其中該非等向性蝕刻為電漿蝕刻或反應性離子蝕刻。

15. 如申請專利範圍第10項所述之溝槽隔離區的形成方法，其中該絕緣層為氧化層。

16. 如申請專利範圍第15項所述之溝槽隔離區的形成方法，其中該氧化層為矽酸四乙酯氧化層。

17. 如申請專利範圍第10項所述之溝槽隔離區的形成方法，其中該平坦化步驟為化學機械研磨步驟。

18. 一種溝槽隔離區的形成方法，包括下列步驟：

提供一半導體基底，該半導體基底上形成有一溝槽，其中該半導體基底具有一罩幕層；

於該半導體基底及該溝槽之表面上順應性形成一第一絕緣層；

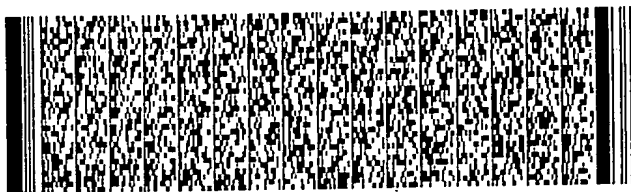
對該第一絕緣層進行非等向性蝕刻以在該溝槽側壁形成一間隙壁；

於該半導體基底及該溝槽上形成一第二絕緣層；及

對該第二絕緣層進行平坦化步驟至露出該罩幕層之表面為止。

19. 如申請專利範圍第18項所述之溝槽隔離區的形成方法，其中該罩幕層為氮化層。

20. 如申請專利範圍第18項所述之溝槽隔離區的形成方法，其中該第一絕緣層為氧化層。



六、申請專利範圍

21. 如申請專利範圍第20項所述之溝槽隔離區的形成方法，其中該第一絕緣層為低壓化學氣相沉積氧化層。

22. 如申請專利範圍第18項所述之溝槽隔離區的形成方法，其中該非等向性蝕刻為電漿蝕刻或反應性離子蝕刻。

23. 如申請專利範圍第18項所述之溝槽隔離區的形成方法，其中該間隙壁之高度低於該半導體基底頂部之表面。

24. 如申請專利範圍第18項所述之溝槽隔離區的形成方法，其中該第二絕緣層為氧化層。

25. 如申請專利範圍第24項所述之溝槽隔離區的形成方法，其中該氧化層為矽酸四乙酯氧化層。

26. 如申請專利範圍第18項所述之溝槽隔離區的形成方法，其中該平坦化步驟為化學機械研磨步驟。

27. 一種溝槽隔離區的形成方法，包括下列步驟：

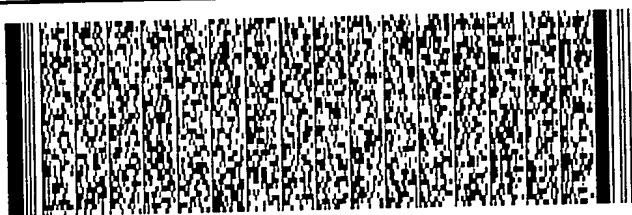
提供一半導體基底，該半導體基底上依序形成有一墊層、一罩幕層及一具有開口之圖案化光阻層；

以該圖案化光阻層為罩幕，依序蝕刻該罩幕層、該墊層及該半導體基底層以形成一溝槽；

於該半導體基底及該溝槽之表面上順應性形成一低壓化學氣相沉積氧化層；

對該低壓化學氣相沉積氧化層進行非等向性蝕刻以在該溝槽側壁形成一間隙壁；

於該半導體基底及該溝槽上形成一絕緣層；



六、申請專利範圍

對該絕緣層進行平坦化步驟至露出該罩幕層之表面為止；及

去除該罩幕層。

28. 如申請專利範圍第27項所述之溝槽隔離區的形成方法，其中該墊層為氧化層。

29. 如申請專利範圍第27項所述之溝槽隔離區的形成方法，其中該罩幕層為氮化層。

30. 如申請專利範圍第27項所述之溝槽隔離區的形成方法，其中該溝槽之寬高比大於6。

31. 如申請專利範圍第27項所述之溝槽隔離區的形成方法，其中該非等向性蝕刻為電漿蝕刻或反應性離子蝕刻。

32. 如申請專利範圍第27項所述之溝槽隔離區的形成方法，其中該間隙壁之高度低於該半導體基底頂部之表面。

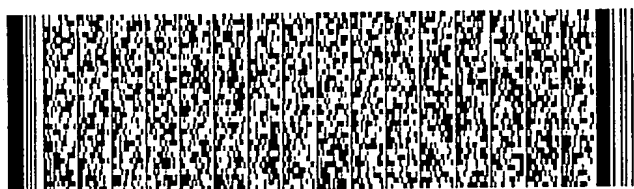
33. 如申請專利範圍第27項所述之溝槽隔離區的形成方法，其中該絕緣層為氧化層。

34. 如申請專利範圍第33項所述之溝槽隔離區的形成方法，其中該氧化層為矽酸四乙酯氧化層。

35. 如申請專利範圍第27項所述之溝槽隔離區的形成方法，其中該平坦化步驟為化學機械研磨步驟。

36. 一種溝槽隔離區的形成方法，包括下列步驟：

提供一半導體基底，該半導體基底上依序形成有一墊層、一罩幕層及一具有一第一開口及一第二開口之圖案化



六、申請專利範圍

光阻層；

以該圖案化光阻層為罩幕，依序蝕刻該罩幕層、該墊層及該半導體基底層以形成一第一溝槽及一第二溝槽，其中該第一溝槽之寬高比大於6；

於該半導體基底、該第一溝槽及該第二溝槽之表面上順應性形成一低壓化學氣相沉積氧化層，直至該低壓化學氣相沉積氧化層大體填滿該第一溝槽；

對該低壓化學氣相沉積氧化層進行非等向性蝕刻至該低壓化學氣相沉積氧化層之高度低於該半導體基底頂部之表面至少300 Å；

於該半導體基底、該第一溝槽及該第二溝槽上形成一絕緣層，該絕緣層填滿該第一溝槽及該第二溝槽；

對該氧化層進行平坦化步驟至露出該罩幕層之表面為止；及

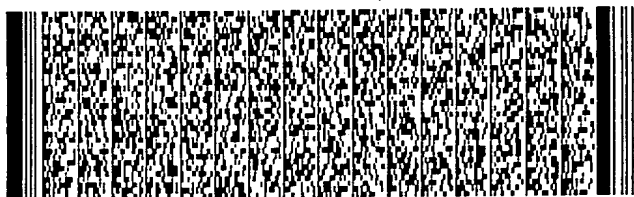
去除該罩幕層。

37. 如申請專利範圍第36項所述之溝槽隔離區的形成方法，其中該墊層為氧化層。

38. 如申請專利範圍第36項所述之溝槽隔離區的形成方法，其中該罩幕層為氮化層。

39. 如申請專利範圍第36項所述之溝槽隔離區的形成方法，其中該非等向性蝕刻為電漿蝕刻或反應性離子蝕刻。

40. 如申請專利範圍第36項所述之溝槽隔離區的形成方法，其中該絕緣層為矽酸四乙酯氧化層。



六、申請專利範圍

41. 如申請專利範圍第36項所述之溝槽隔離區的形成方法，其中該平坦化步驟為化學機械研磨步驟。

42. 一種溝槽隔離區的形成方法，包括下列步驟：

提供一半導體基底，該半導體基底上依序形成有一墊層、一罩幕層及一具有一第一開口及一第二開口之圖案化光阻層；

以該圖案化光阻層為罩幕，依序蝕刻該罩幕層、該墊層及該半導體基底層以形成一第一溝槽及一第二溝槽，其中該第一溝槽之寬高比大於6；

於該半導體基底及該溝槽之表面上順應性形成一低壓化學氣相沉積氧化層；

對該低壓化學氣相沉積氧化層進行非等向性蝕刻以在該第一溝槽側壁形成一間隙壁；

於該半導體基底及該第一溝槽及該第二溝槽上形成一絕緣層；

對該絕緣層進行平坦化步驟至露出該罩幕層之表面為止；及

去除該罩幕層。

43. 如申請專利範圍第42項所述之溝槽隔離區的形成方法，其中該墊層為氧化層。

44. 如申請專利範圍第42項所述之溝槽隔離區的形成方法，其中該罩幕層為氮化層。

45. 如申請專利範圍第42項所述之溝槽隔離區的形成方法，其中該非等向性蝕刻為電漿蝕刻或反應性離子蝕



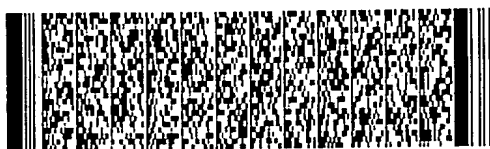
六、申請專利範圍

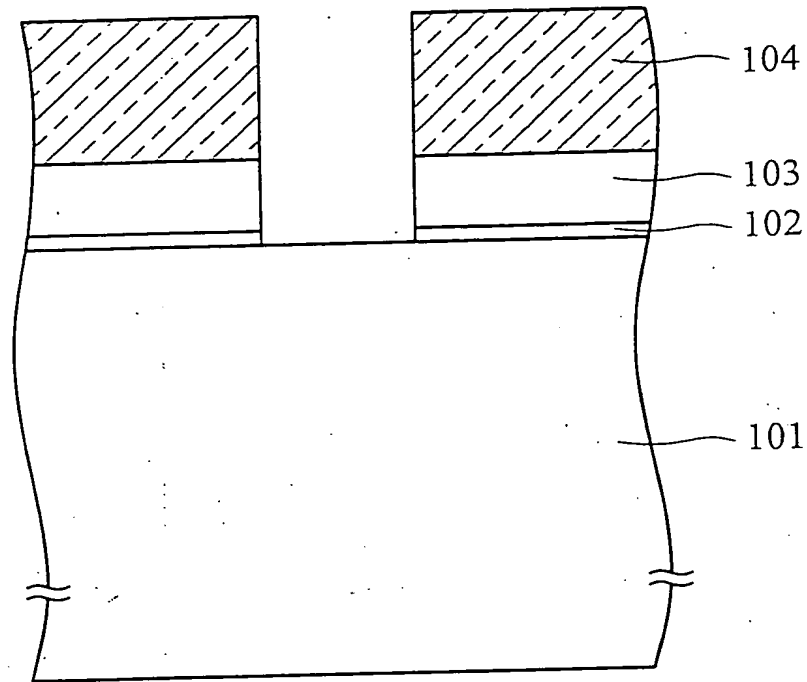
刻。

46. 如申請專利範圍第42項所述之溝槽隔離區的形成方法，其中該間隙壁之高度低於該半導體基底頂部之表面。

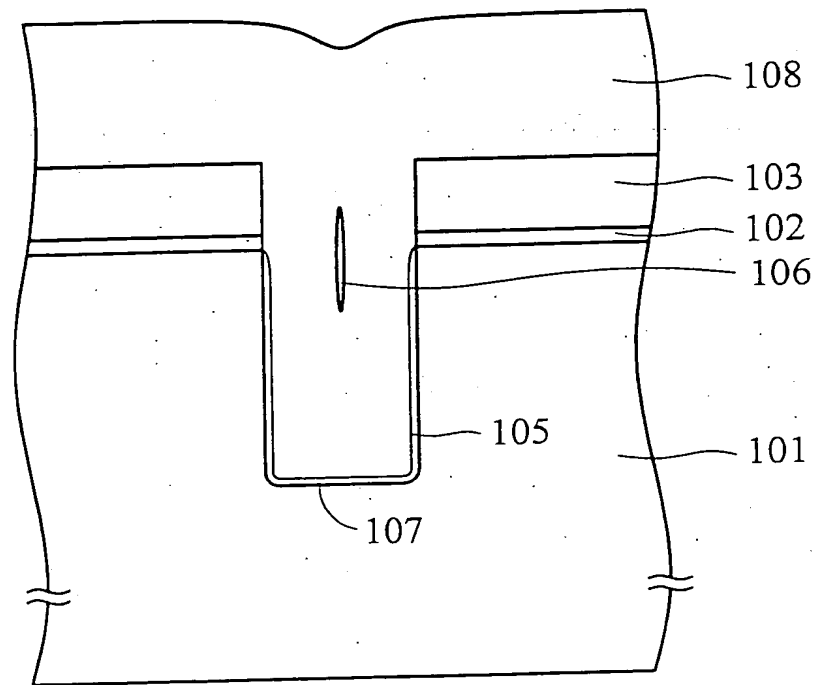
47. 如申請專利範圍第42項所述之溝槽隔離區的形成方法，其中該絕緣層為矽酸四乙酯氧化層。

48. 如申請專利範圍第42項所述之溝槽隔離區的形成方法，其中該平坦化步驟為化學機械研磨步驟。

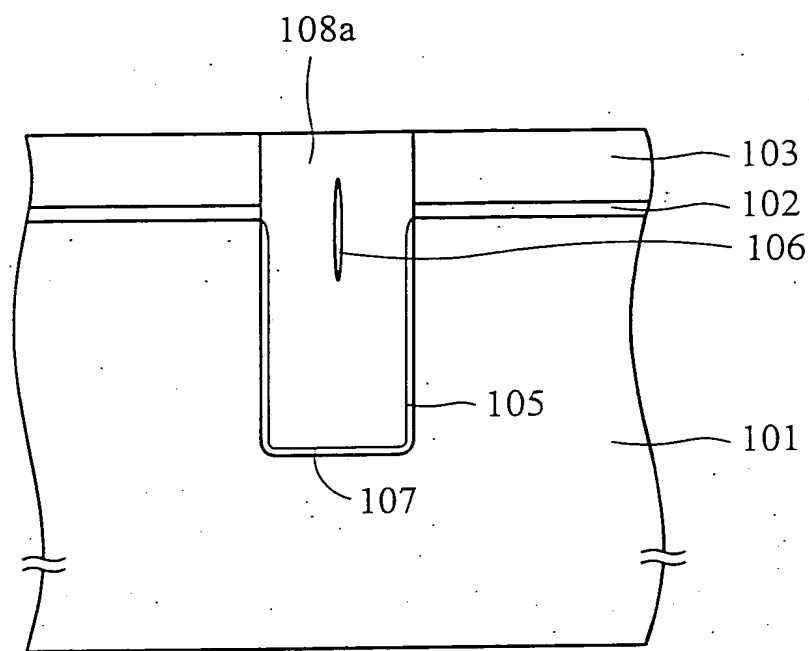




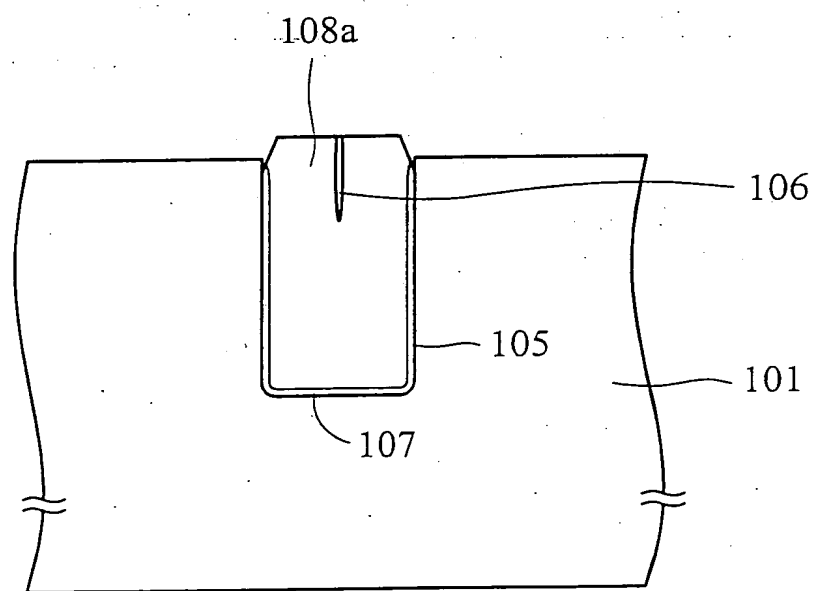
第 1a 圖



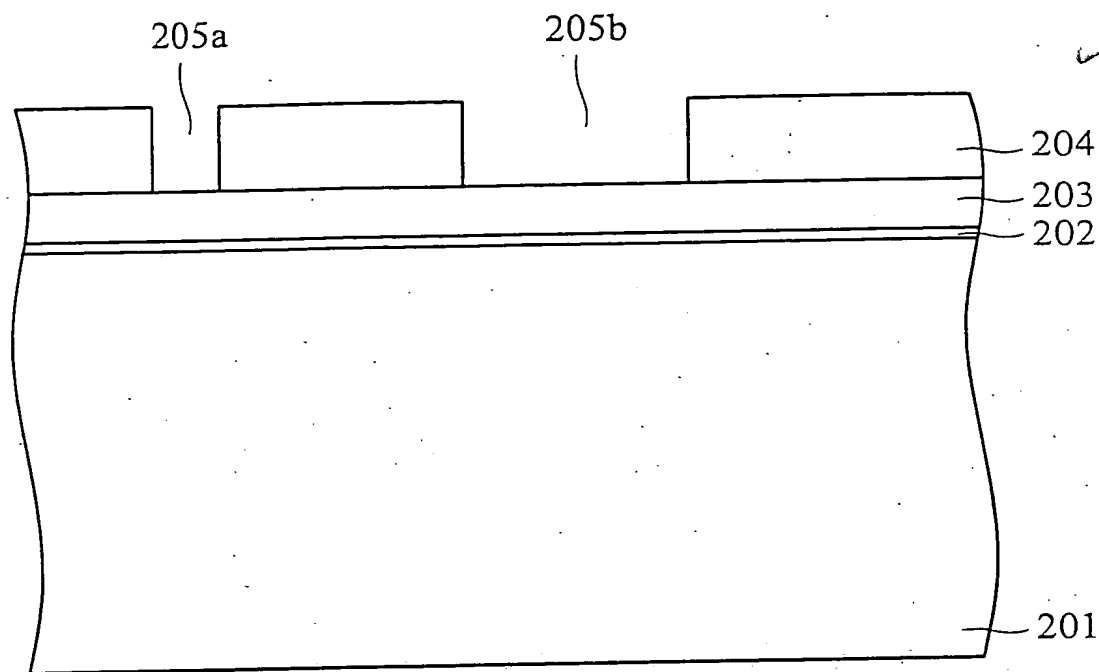
第 1b 圖



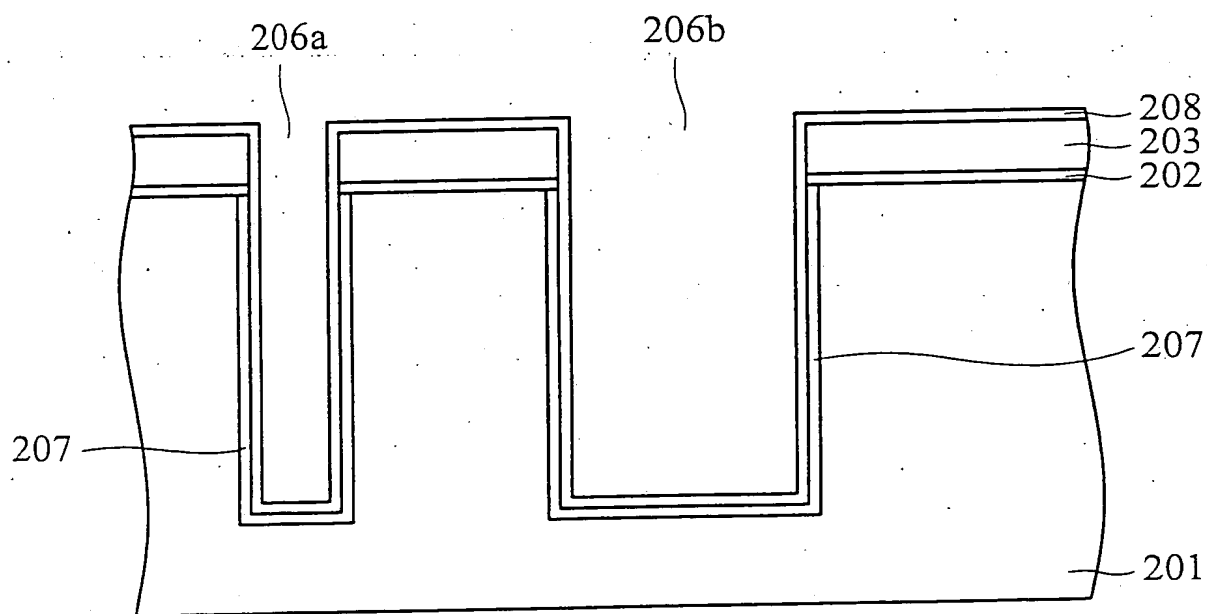
第 1c 圖



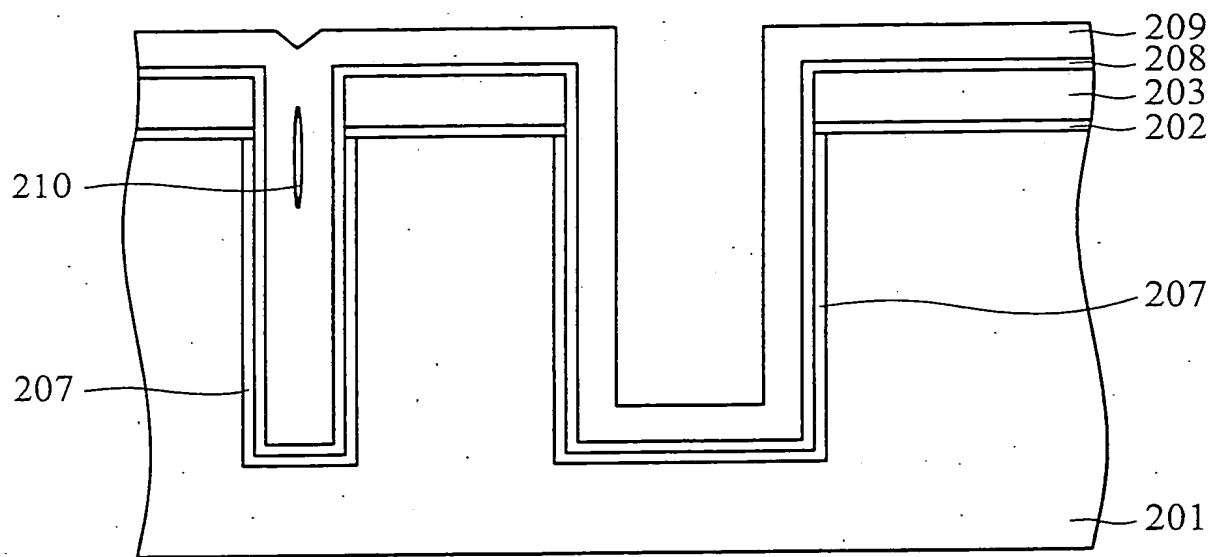
第 1d 圖



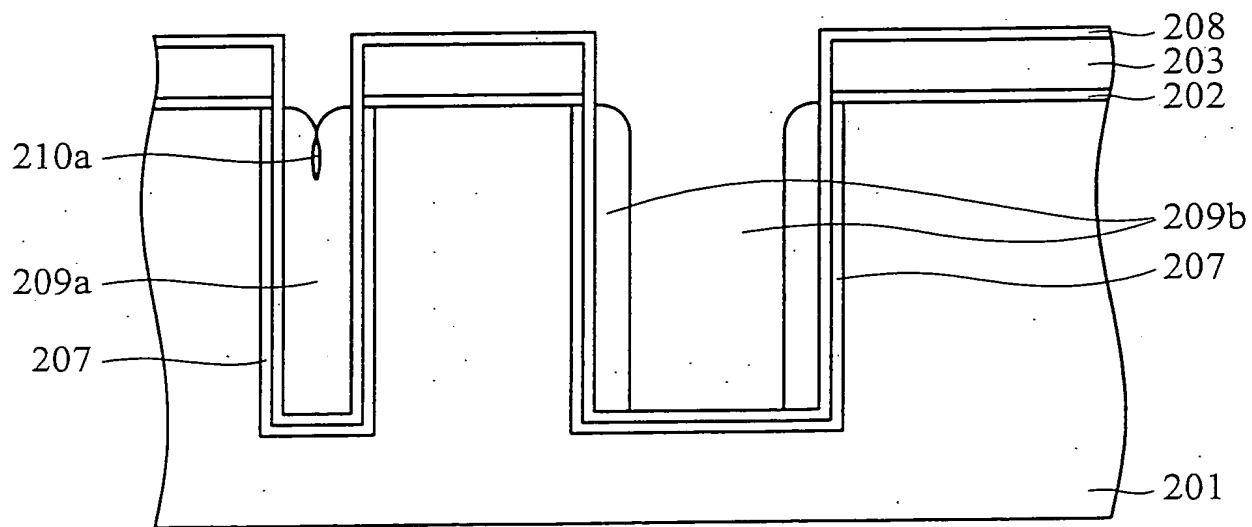
第 2a 圖



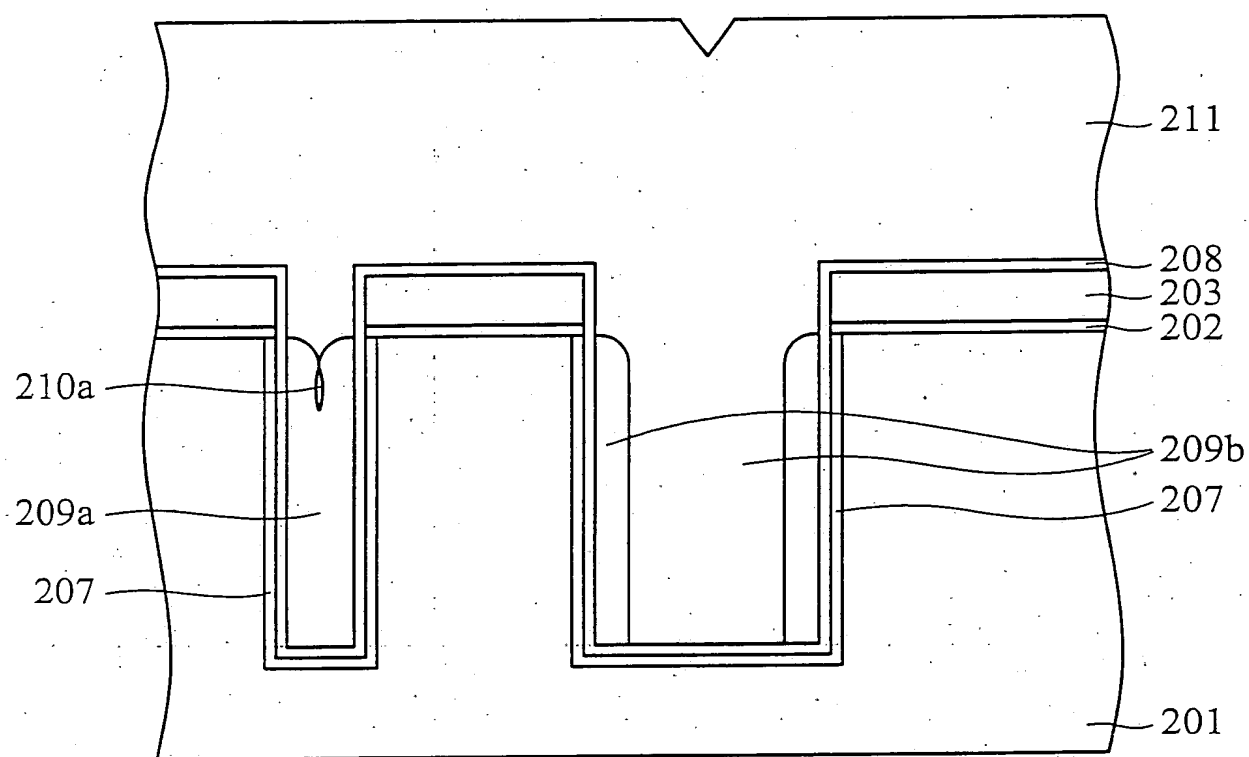
第 2b 圖



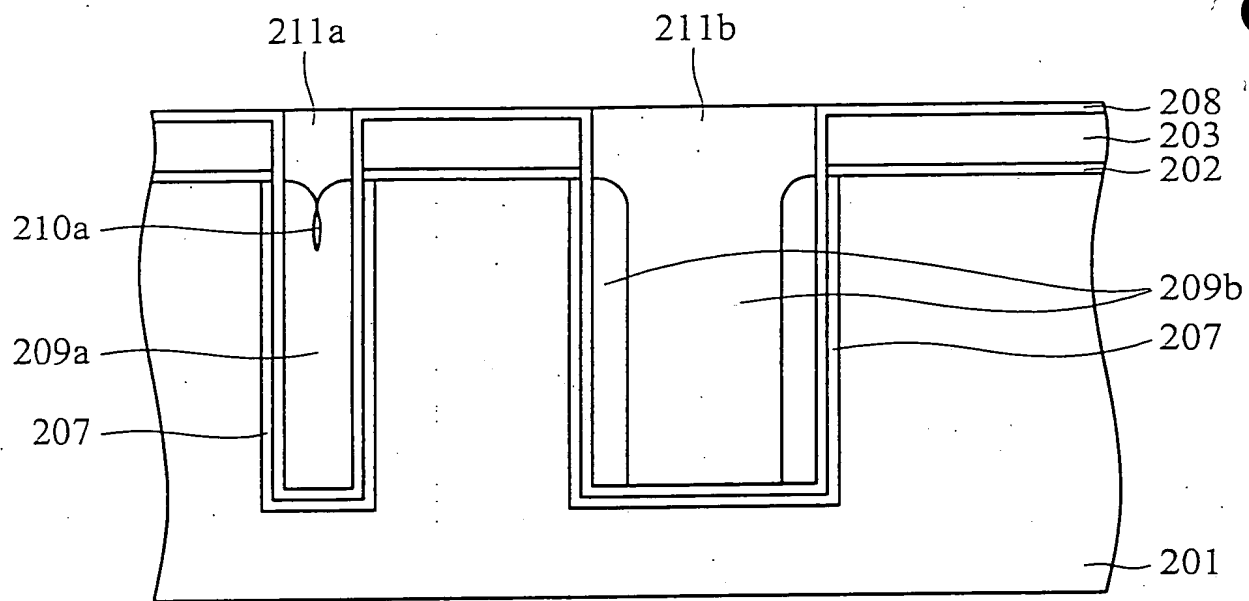
第 2c 圖



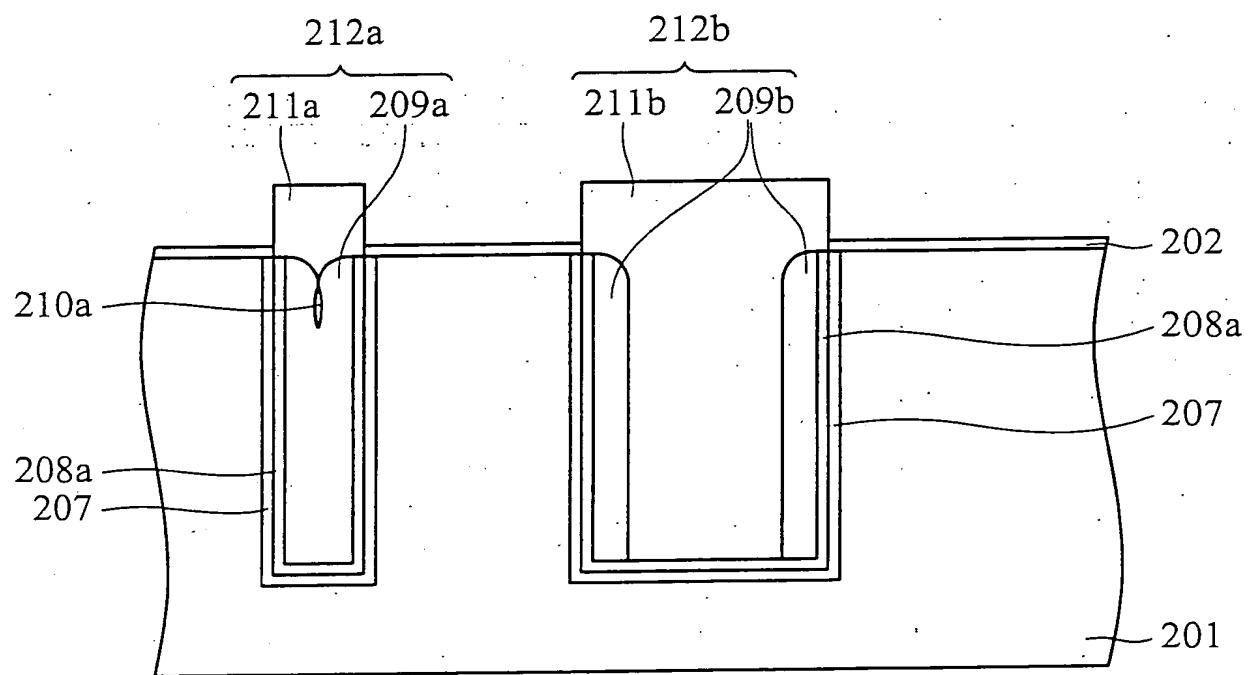
第 2d 圖



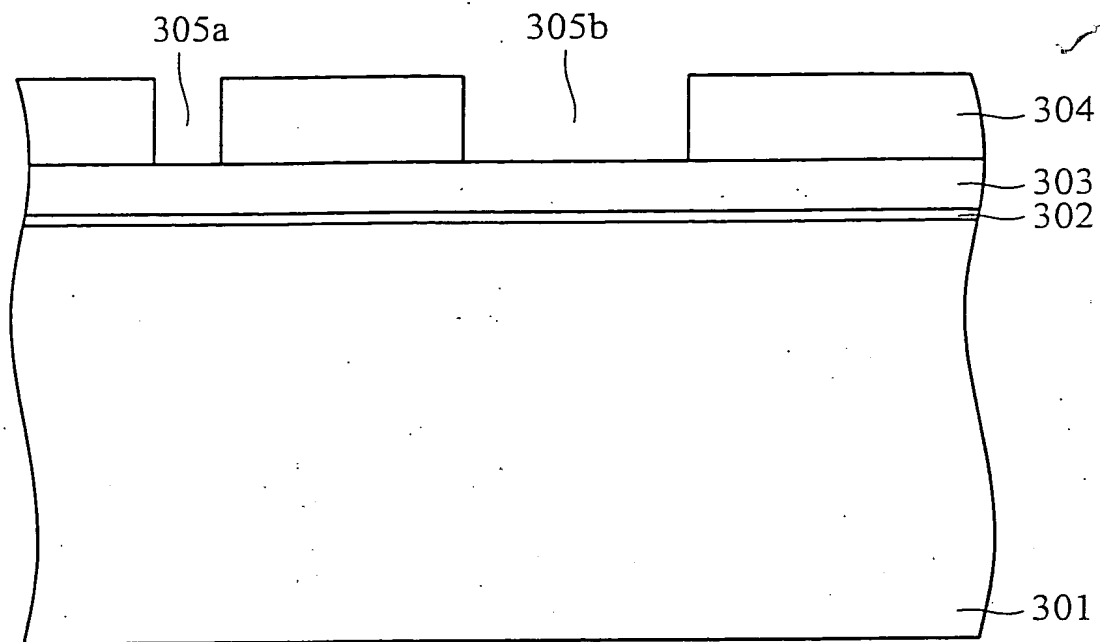
第 2e 圖



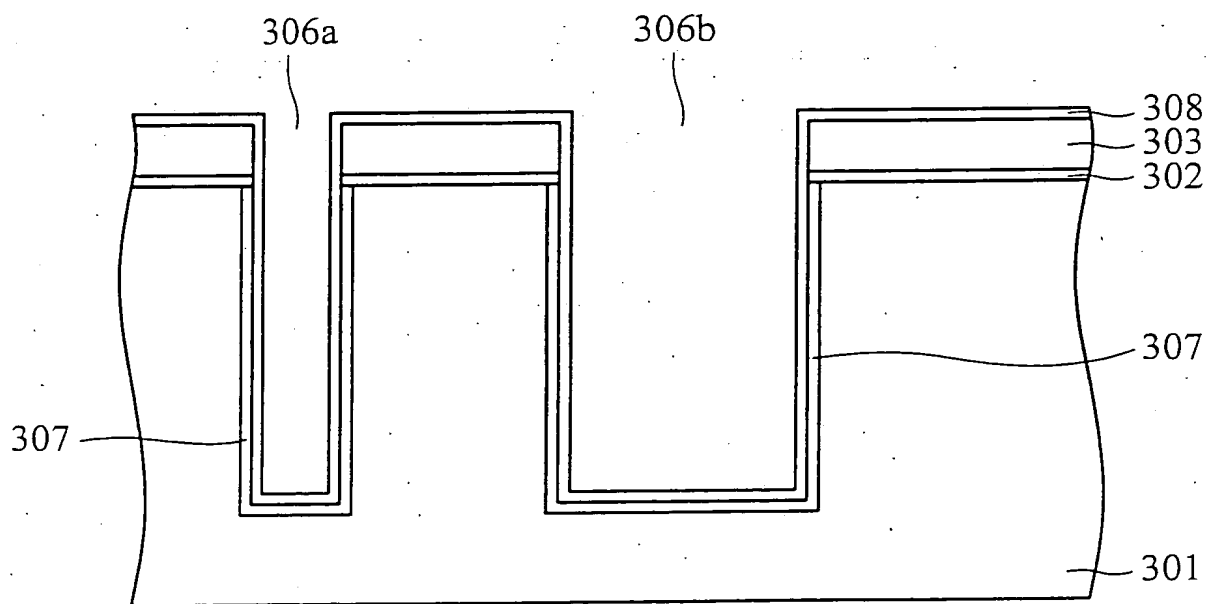
第 2f 圖



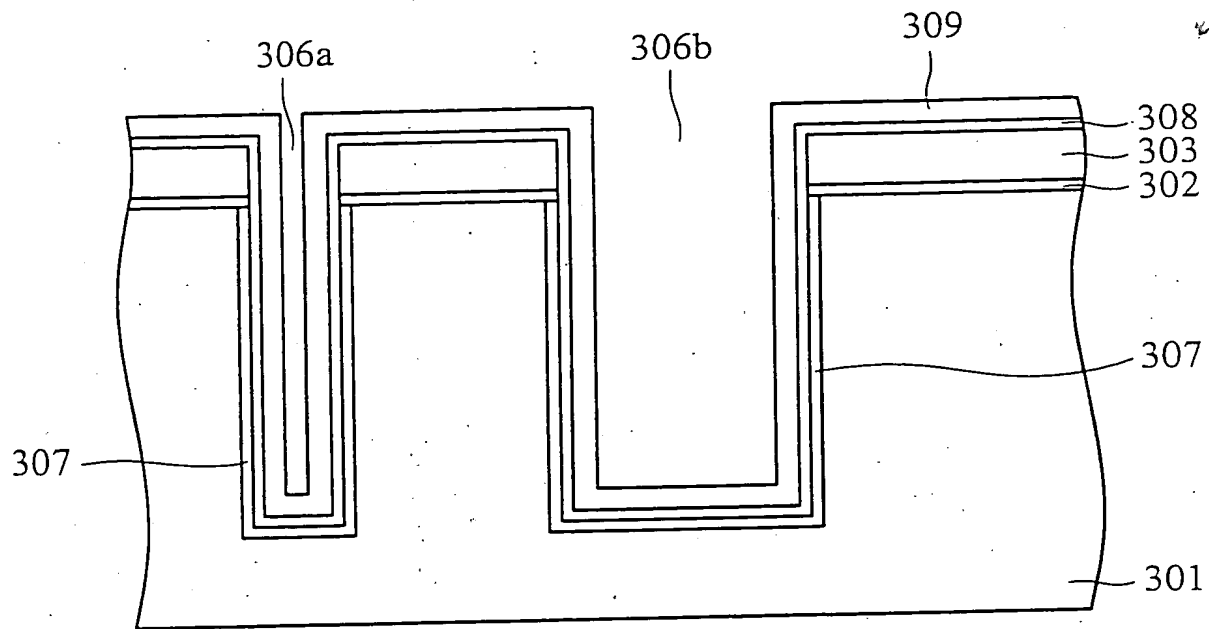
第 2g 圖



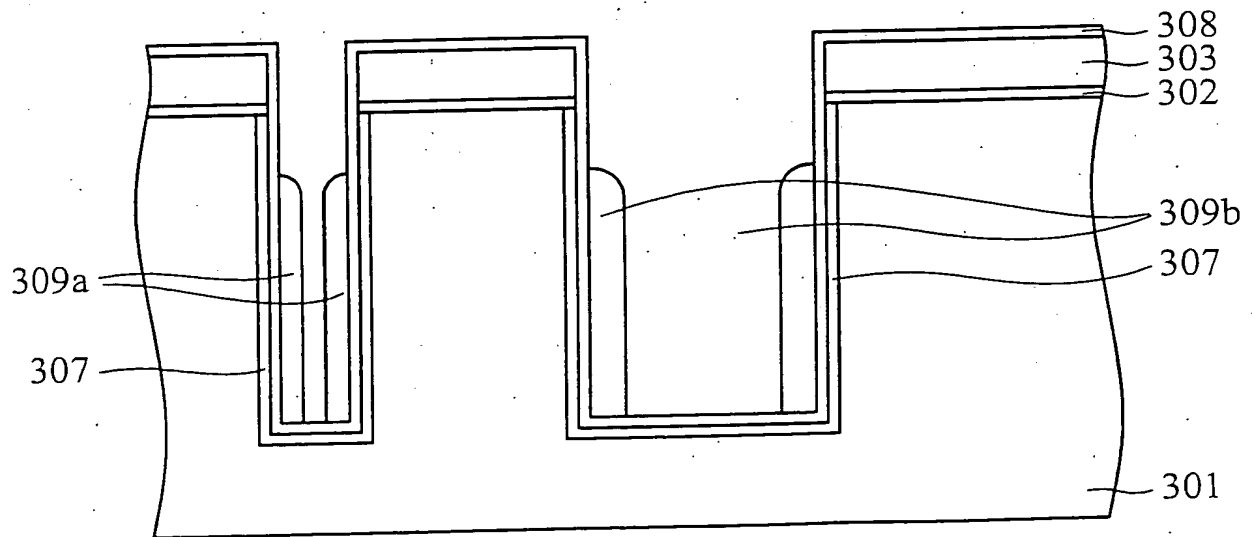
第 3a 圖



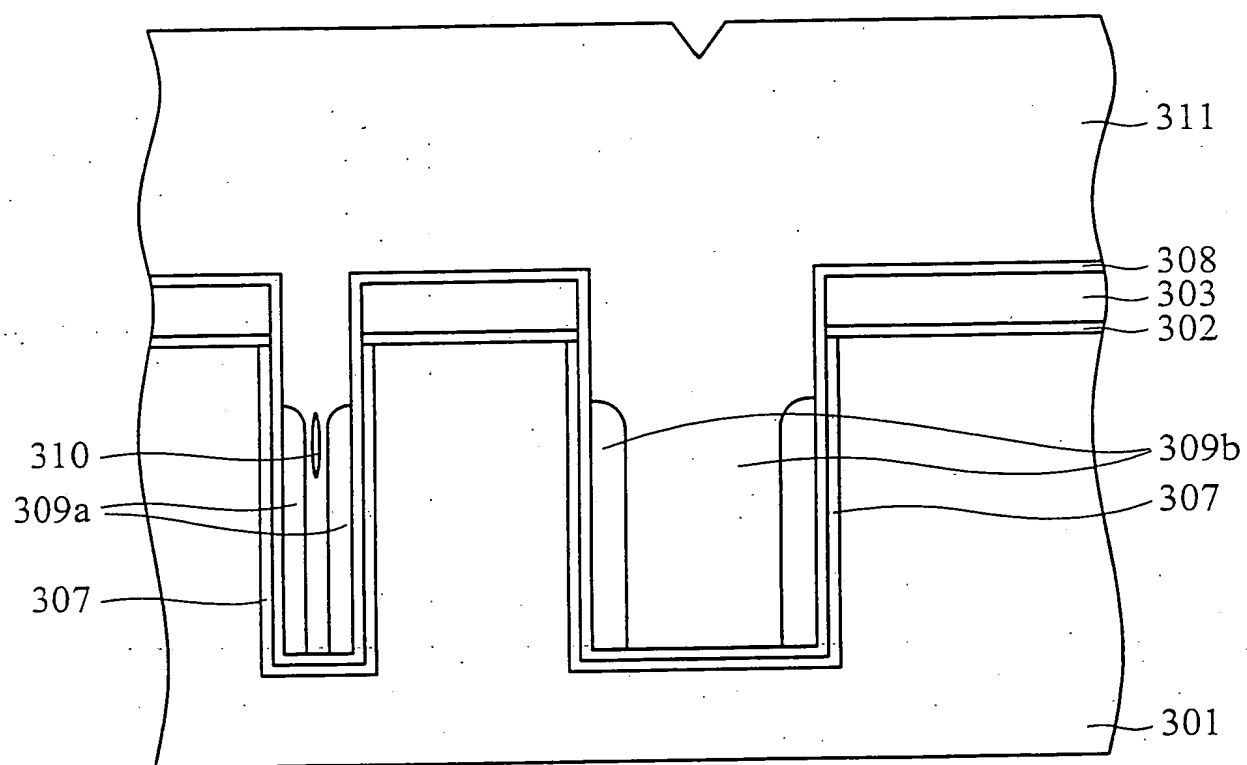
第 3b 圖



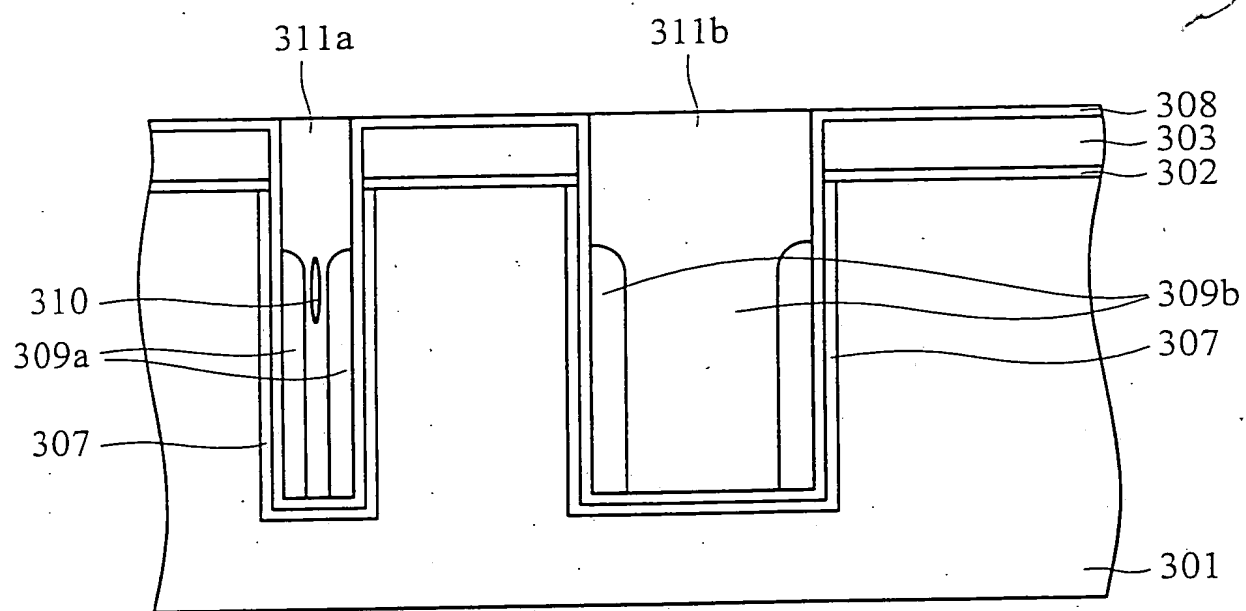
第 3c 圖



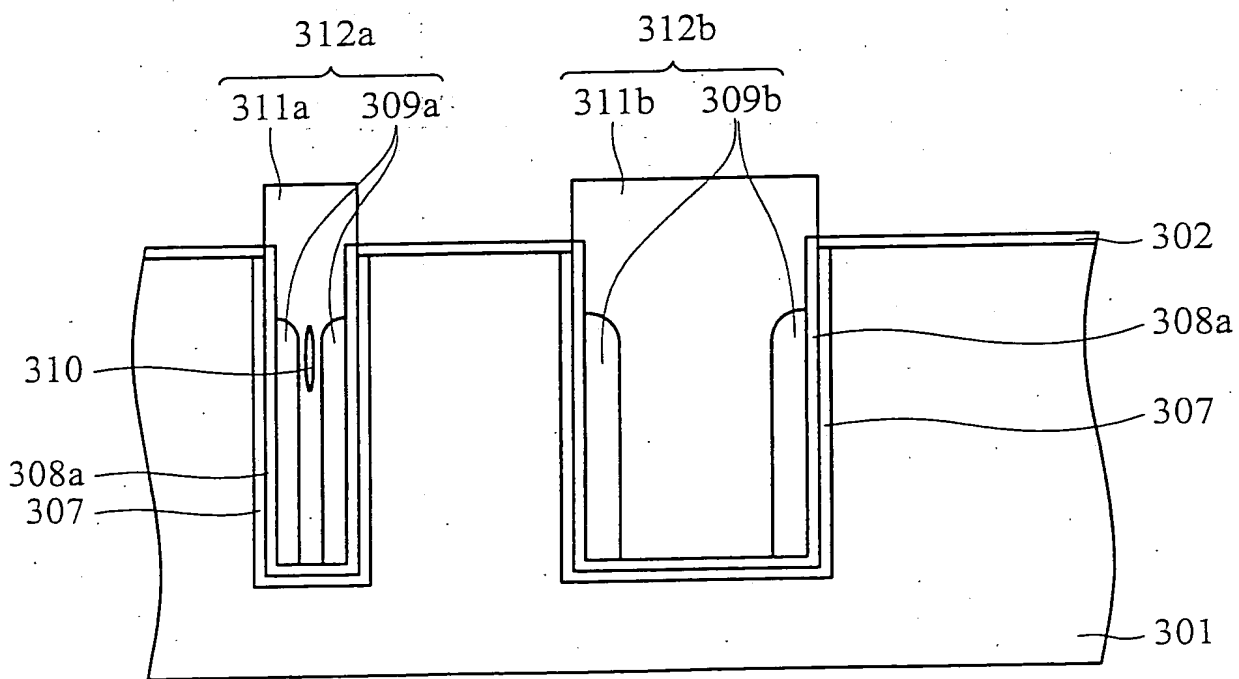
第 3d 圖



第3e圖

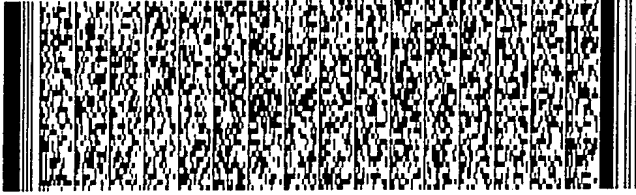


第 3f 圖

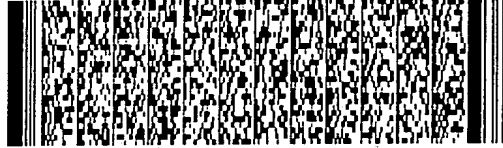


第 3g 圖

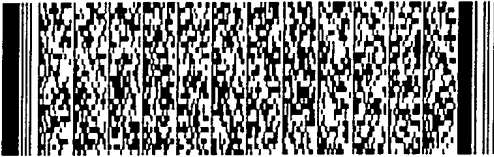
第 1/26 頁



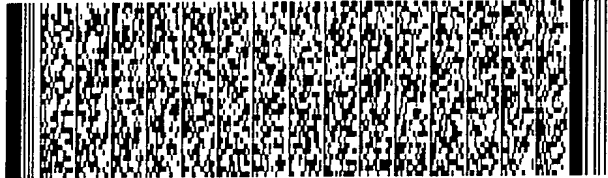
第 2/26 頁



第 3/26 頁



第 4/26 頁



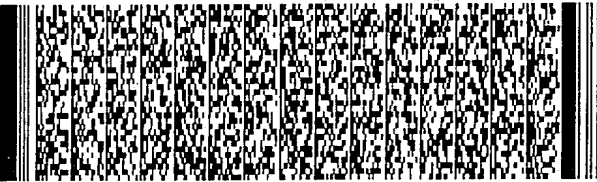
第 5/26 頁



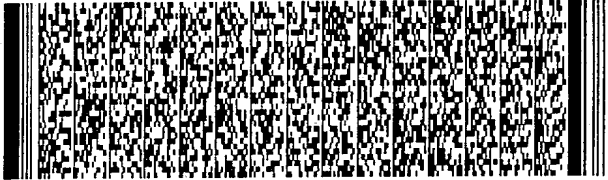
第 6/26 頁



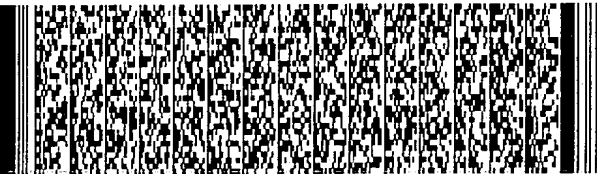
第 7/26 頁



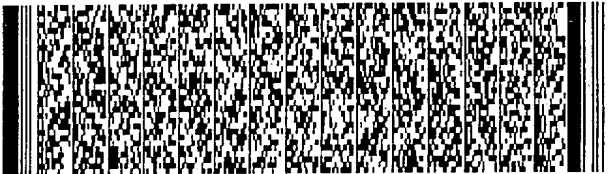
第 7/26 頁



第 8/26 頁



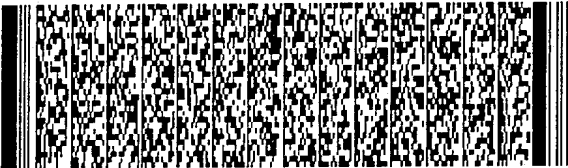
第 8/26 頁



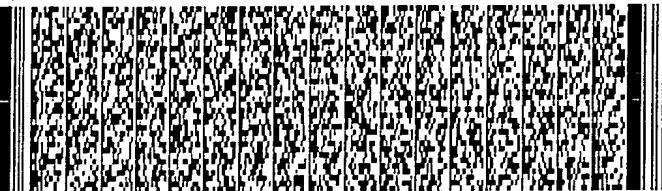
第 9/26 頁



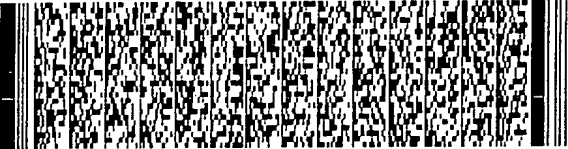
第 9/26 頁



第 10/26 頁



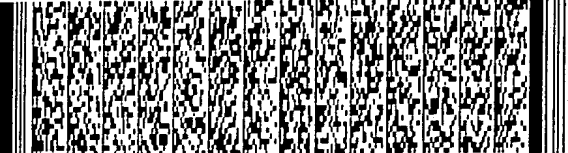
第 11/26 頁



第 11/26 頁



第 12/26 頁



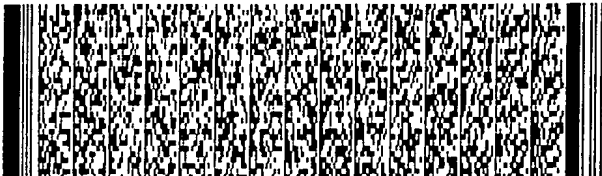
第 12/26 頁



第 13/26 頁



第 13/26 頁



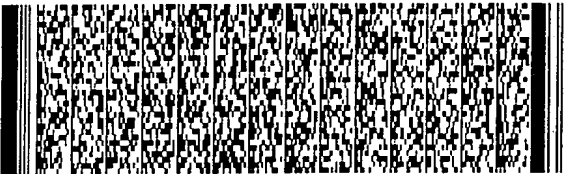
第 14/26 頁



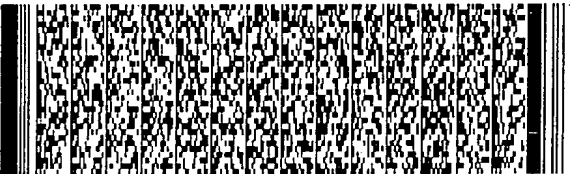
第 14/26 頁



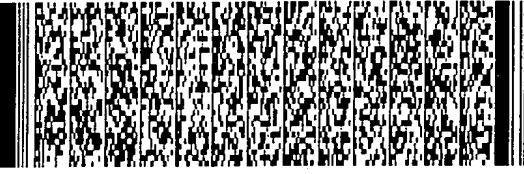
第 15/26 頁



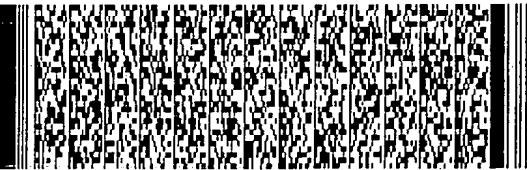
第 15/26 頁



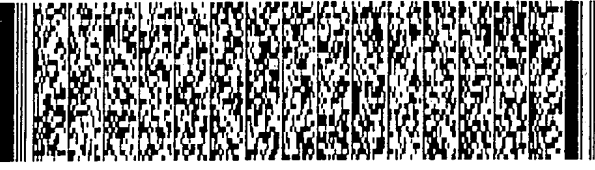
第 16/26 頁



第 16/26 頁



第 17/26 頁



第 18/26 頁



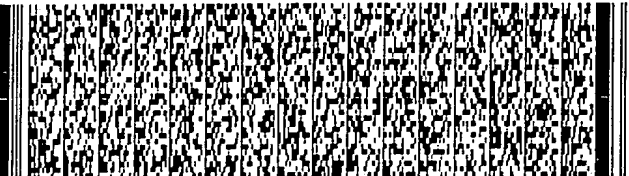
第 19/26 頁



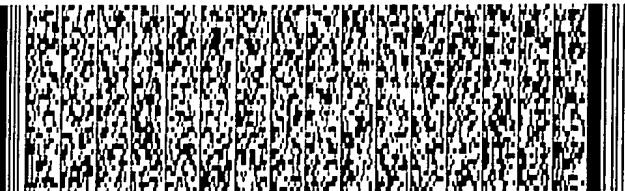
第 20/26 頁



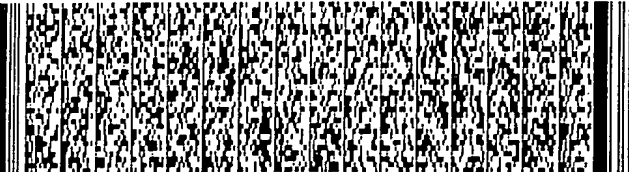
第 21/26 頁



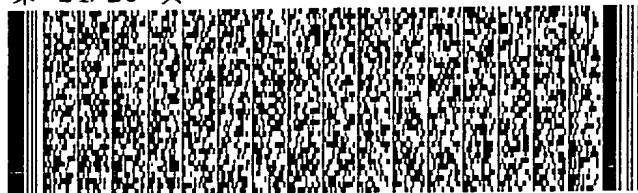
第 22/26 頁



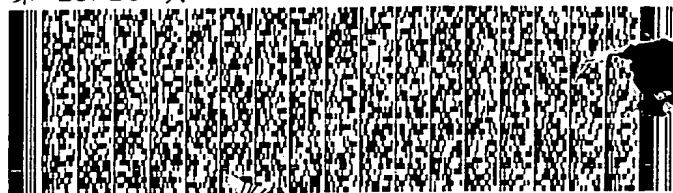
第 23/26 頁



第 24/26 頁



第 25/26 頁



第 26/26 頁

